

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-269751

(43)Date of publication of application : 29.09.2000

(51)Int.Cl.

H03F 3/34  
// H03K 5/08

(21)Application number : 11-069059

(71)Applicant : MITSUMI ELECTRIC CO LTD

(22)Date of filing : 15.03.1999

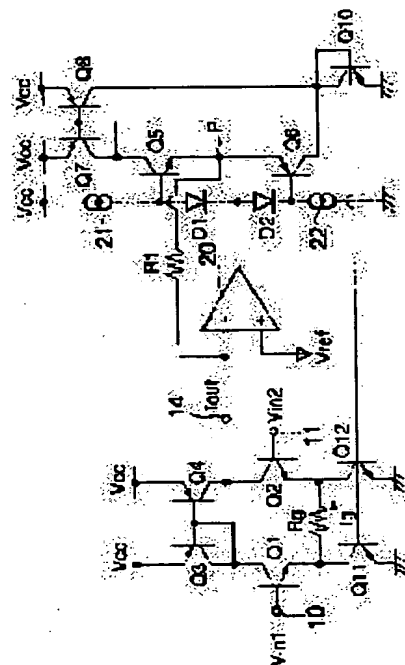
(72)Inventor : IKEUCHI AKIRA  
TOKUDA HISASHI

## (54) VOLTAGE/CURRENT CONVERSION CIRCUIT

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a voltage/current conversion circuit which reduces the current offset of an output current caused by the error of the operation current of a pair of transistors which constitute a differential circuit.

SOLUTION: Variable control circuits Q5 to Q8, Q10, 20 to 22, D1, D2, and R1 are provided which vary the voltage generated between both ends of a resistor Rg, so that this voltage is increased in accordance with increase of an output current, corresponding to the difference between input voltages on the basis of this output current. Since the voltage generated between both ends of the resistor Rg, connecting a pair of transistors Q1 and Q2, is so varied that it is made larger the larger the output current becomes on the basis of the output current corresponding to the difference between input voltages, the error current of the current flowing to the resistor Rg is reduced regardless of the difference between input voltages, and the output offset of the output current is reduced.



## LEGAL STATUS

[Date of request for examination] 25.08.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-269751 ✓

(P2000-269751A)

(43) 公開日 平成12年9月29日 (2000.9.29)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

ページ・ト (参考)

H 0 3 F 3/34

H 0 3 F 3/34

C 5 J 0 3 9

// H 0 3 K 5/08

H 0 3 K 5/08

E 5 J 0 9 1

審査請求 未請求 請求項の数 2 O L (全 4 頁)

(21) 出願番号

特願平11-69059

(22) 出願日

平成11年3月15日 (1999.3.15)

(71) 出願人 000006220

ミツミ電機株式会社

東京都調布市国領町8丁目8番地2

(72) 発明者 池内 亮

神奈川県厚木市酒井1601 ミツミ電機株式会社厚木事業所内

(72) 発明者 徳田 尚志

神奈川県厚木市酒井1601 ミツミ電機株式会社厚木事業所内

(74) 代理人 100070150

弁理士 伊東 忠彦

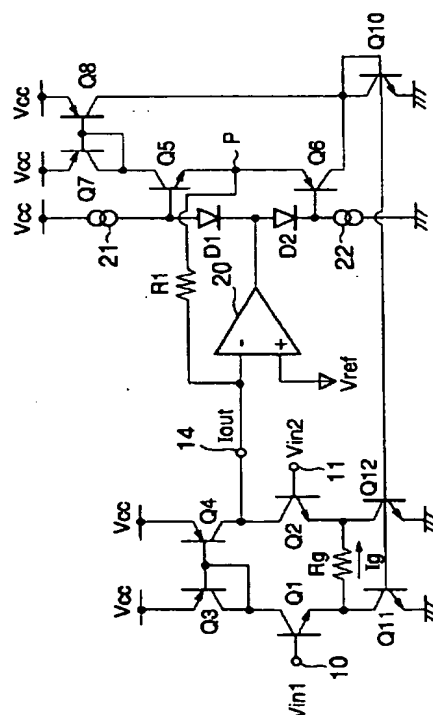
最終頁に続く

(54) 【発明の名称】 電圧・電流変換回路

(57) 【要約】

【課題】 本発明は、差動回路を構成する一対のトランジスタの動作電流の誤差に起因する出力電流の電流オフセットを低減できる電圧・電流変換回路を提供することを目的とする。

【解決手段】 入力電圧の差に応じた出力電流に基づいて、出力電流が大なるほど抵抗  $R_g$  の両端間に発生する電圧を大きくするように可変する可変制御回路  $Q_5 \sim Q_8$ ,  $Q_{10}$ ,  $20 \sim 22$ ,  $D_1$ ,  $D_2$ ,  $R_1$  を有する。このように、入力電圧の差に応じた出力電流に基づいて、出力電流が大なるほど一対のトランジスタ  $Q_1$ ,  $Q_2$  間を接続する抵抗  $R_g$  の両端間に発生する電圧を大きくするように可変するため、入力電圧の差に拘わらず抵抗  $R_g$  に流れる電流の誤差電流を低減でき、出力電流の電流オフセットを低減できる。



BEST AVAILABLE COPY

## 【特許請求の範囲】

【請求項 1】 差動回路を構成する一対のトランジスタに印加される入力電圧の差に応じた電流を前記一対のトランジスタ間を接続する抵抗に流し、前記抵抗に流れる電流と略同一の電流を出力する電圧・電流変換回路において、

前記入力電圧の差に応じた出力電流に基づいて、前記出力電流が大なるほど前記抵抗の両端間に発生する電圧を大きくするように可変する可変制御回路を有することを特徴とする電圧・電流変換回路。

【請求項 2】 請求項 1 記載の電圧・電流変換回路において、

前記可変制御回路は、前記入力電圧の差に応じた出力電流に基づいて、前記出力電流が大なるほど前記一対のトランジスタそれぞれの動作電流を大きくするように可変することを特徴とする電圧・電流変換回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は電圧・電流変換回路に関し、特に、差動回路を構成する一対のトランジスタに印加される入力電圧の差に応じた電流を出力する電圧・電流変換回路に関する。

## 【0002】

【従来の技術】従来より、周波数可変ローパスフィルタや電子ボリューム等に適用される電圧・電流変換回路として図 3 に示す回路が知られている。図 3 において、一対の入力端子 10、11 に入力電圧  $V_{in1}$ 、 $V_{in2}$  が印加される。入力端子 10、11 それぞれは差動回路を構成する npn トランジスタ Q1、Q2 のベースに接続されている。トランジスタ Q1、Q2 のコレクタは pnp トランジスタ Q3、Q4 のコレクタに接続されている。トランジスタ Q3、Q4 はベースを共通接続されると共にトランジスタ Q3 のコレクタに接続され、それぞれのエミッタを電源  $V_{cc}$  に接続され、カレントミラー回路を構成している。

【0003】トランジスタ Q4 のコレクタには電流  $I_{out}$  を出力する出力端子 14 が接続されている。トランジスタ Q1、Q2 のエミッタは抵抗  $R_g$  の両端に接続されると共に、定電流  $I$ 、 $I'$  ( $I' \approx I$ ) を流す定電流源 12、13 に接続されている。ここで、入力端子 10、11 間に入力電圧差  $dV (= V_{in1} - V_{in2})$  が印加されると、抵抗  $R_g$  に電圧  $dV$  に応じた電流  $I_g (= dV / R_g)$  が流れ、この電流  $I_g$  に基づき出力電流  $I_{out}$  が流れる。

## 【0004】

【発明が解決しようとする課題】上記の従来回路では、定電流源 12、13 の流すトランジスタ Q1、Q2 の動作電流である定電流  $I$ 、 $I'$  の誤差により、常時、抵抗  $R_g$  に誤差電流  $dI (= I - I')$  が流れ、出力電流  $I_{out}$  にオフセットが生じる。この誤差電流  $dI$  は、定

電流  $I$ 、 $I'$  それぞれの電流値に比例して大きくなる。従って、定電流  $I$ 、 $I'$  それぞれの電流値を小さくすれば誤差電流  $dI$  は小さくなる。

【0005】しかし、入力端子 10、11 間の入力電圧差  $dV$  に対して、 $I \cdot R_g > dV$  の関係を満足しなければ、上記回路は正常に動作しないため、定電流  $I$ 、 $I'$  を限りなく小さくすることはできず、このため出力電流  $I_{out}$  に生じる電流オフセットを低減できないという問題があった。本発明は、上記の点に鑑みなされたもので、差動回路を構成する一対のトランジスタの動作電流の誤差に起因する出力電流の電流オフセットを低減できる電圧・電流変換回路を提供することを目的とする。

## 【0006】

【課題を解決するための手段】請求項 1 に記載の発明は、差動回路を構成する一対のトランジスタに印加される入力電圧の差に応じた電流を前記一対のトランジスタ間を接続する抵抗に流し、前記抵抗に流れる電流と略同一の電流を出力する電圧・電流変換回路において、前記入力電圧の差に応じた出力電流に基づいて、前記出力電流が大なるほど前記抵抗の両端間に発生する電圧を大きくするように可変する可変制御回路を有する。

【0007】このように、入力電圧の差に応じた出力電流に基づいて、出力電流が大なるほど一対のトランジスタ間を接続する抵抗の両端間に発生する電圧を大きくするように可変するため、入力電圧の差に拘わらず抵抗に流れる電流の誤差電流を低減でき、出力電流の電流オフセットを低減できる。請求項 2 に記載の発明は、請求項 1 記載の電圧・電流変換回路において、前記可変制御回路は、前記入力電圧の差に応じた出力電流に基づいて、前記出力電流が大なるほど前記一対のトランジスタそれぞれの動作電流を大きくするように可変する。

【0008】このため、出力電流が大なるほど抵抗の両端間に発生する電圧を大きくすることを簡単な構成で実現でき、入力電圧の差に拘わらず抵抗に流れる電流の誤差電流を低減でき、出力電流の電流オフセットを低減できる。

## 【0009】

【発明の実施の形態】図 1 は本発明の電圧・電流変換回路の一実施例の回路図を示す。同図中、図 3 と同一部分には同一符号を付す。図 1 において、一対の入力端子 10、11 に入力電圧  $V_{in1}$ 、 $V_{in2}$  が印加される。入力端子 10、11 それぞれは差動回路を構成する npn トランジスタ Q1、Q2 のベースに接続されている。トランジスタ Q1、Q2 のコレクタは pnp トランジスタ Q3、Q4 のコレクタに接続されている。トランジスタ Q3、Q4 はベースを共通接続されると共にトランジスタ Q3 のコレクタに接続され、それぞれのエミッタを電源  $V_{cc}$  に接続されてカレントミラー回路を構成している。

【0010】トランジスタ Q4 のコレクタには電流  $I_{out}$

## 3

ut を出力する出力端子 14 が接続されている。トランジスタ Q1, Q2 のエミッタは抵抗 Rg の両端に接続されると共に、トランジスタ Q1, Q2 に動作電流を供給する可変電流源としての npn トランジスタ Q11, Q12 のコレクタに接続されている。トランジスタ Q11, Q12 のエミッタは接地されている。

【0011】上記の出力端子 14 は、電流・電圧変換回路を構成する演算増幅器（オペアンプ）20 の反転入力端子に接続されている。このオペアンプ 20 の非反転入力端子には基準電圧 Vref が印加されている。また、オペアンプ 20 の反転入力端子は抵抗 R1 を介して後述するトランジスタ Q5 のエミッタに接続されており、オペアンプ 20 は基準電圧 Vref と抵抗 R1 による降下電圧との差電圧を出力する。オペアンプ 20 の出力端子はダイオード D1 のカソード及びダイオード D2 のアノードに接続されている。このダイオード D1 のアノードは定電流源 21 を介して電源 Vcc に接続されると共に npn トランジスタ Q5 のベースに接続されている。また、ダイオード D2 のカソードは定電流源 22 を介して接地されると共に pnp トランジスタ Q6 のベースに接続されている。

【0012】トランジスタ Q5 のコレクタは pnp トランジスタ Q7 のコレクタに接続されている。トランジスタ Q7 のベースは pnp トランジスタ Q8 のベースと共通接続されると共にトランジスタ Q7 のコレクタに接続され、トランジスタ Q7, Q8 それぞれのエミッタは電源 Vcc に接続されて、カレントミラー回路を構成している。

【0013】トランジスタ Q5 のエミッタはトランジスタ Q6 のエミッタに接続され、トランジスタ Q6 のコレクタ及びトランジスタ Q8 のコレクタは npn トランジスタ Q10 のコレクタに接続されている。トランジスタ Q10 のベースはコレクタに接続され、トランジスタ Q10, Q11, Q12 はベースを共通接続され、エミッタを接地されて、カレントミラー回路を構成している。

【0014】ここで、可変電流源としての npn トランジスタ Q11, Q12 のコレクタ電流を  $I_v, I_{v'}$  とする。入力端子 10, 11 間に入力電圧差  $dV (=V_{in1} - V_{in2})$  が印加されると、抵抗 Rg に電圧  $dV$  に応じた電流  $I_g (=dV/R_g)$  が流れ、この電流  $I_g$  に基づき出力電流  $I_{out}$  が流れる。トランジスタ Q5 のエミッタとトランジスタ Q6 のエミッタとの接続点 P（つまり抵抗 R1 の一端）には、入力電圧差  $dV$  が 0 で  $I_{out} = 0$  のときであってもダイオード D1, D2 による一定のバイアス電流  $I_b$  が流れており、 $dV \neq 0$  で  $I_{out} \neq 0$  の場合は電流  $(I_b + |I_{out}|)$  が流れる。これは、入力電圧差  $dV$  が正で  $I_{out}$  が正の場合にトランジスタ Q6 がオン、トランジスタ Q5 がオフとなって接続点 P に  $I_b + I_{out}$  が流れ、入力電圧差  $dV$  が負で  $I_{out}$  が負の場合にトランジスタ Q6 が

## 4

オフ、トランジスタ Q5 がオンとなって接続点 P に  $I_b - (-I_{out})$  が流れるからである。

【0015】トランジスタ Q6 のコレクタ電流は、トランジスタ Q8 のコレクタ電流（＝トランジスタ Q5 のコレクタ電流）と加算されて、トランジスタ Q10 のコレクタ電流は  $I_b + |I_{out}|$  で表される。トランジスタ Q10, Q11, Q12 はカレントミラー構成であるため、トランジスタ Q11, Q12 のコレクタ電流は  $I_b + |I_{out}|$  となる。

【0016】この出力電流  $I_{out}$  とトランジスタ Q11, Q12 それぞれのコレクタ電流  $I_v, I_{v'}$  との関係を図 2 に示す。つまり、トランジスタ Q11, Q12 のコレクタ電流は、出力電流  $I_{out}$  の絶対値が大きくなるほど大きくなり、入力電圧差  $dV = 0$  のとき最小の  $I_b$  となる。ここで、トランジスタ Q11, Q12 の特性の誤差によりトランジスタ Q11, Q12 のコレクタ電流  $I_v, I_{v'}$  に誤差がある場合には、上記コレクタ電流  $I_v, I_{v'}$  に誤差を生じ、抵抗 Rg に誤差電流  $dI_g (=I_v - I_{v'})$  が流れ、出力電流  $I_{out}$  にオフセットが生じるが、コレクタ電流  $I_v, I_{v'}$  は、 $I_v \cdot R_g > dV$  を満足する最小値となるように、入力電圧差  $dV$  及び出力電流  $I_{out}$  に応じて可変されるため、特に入力電圧差  $dV$  が小さい状態では、誤差電流  $dI_g$  が従来に比して大幅に小さくなる。このため、出力電流  $I_{out}$  に生じる電流オフセットを従来に比して大幅に低減できる。

【0017】更に、入力電圧差  $dV$  が小さい状態では、差動回路を構成するトランジスタ Q1, Q2 の動作電流であるコレクタ電流  $I_v, I_{v'}$  が小さくなるため、従来に比して差動回路の消費電流を低減することができる。上記実施例では、トランジスタ Q11, Q12 のコレクタ電流  $I_v, I_{v'}$  を入力電圧差  $dV$  及び出力電流  $I_{out}$  に応じて可変しているが、これに代えて、トランジスタ Q11, Q12 のコレクタ電流  $I_v, I_{v'}$  を一定とし、かつ、 $I_v \cdot R_g > dV$  を満足するように、抵抗 Rg の抵抗値を入力電圧差  $dV$  及び出力電流  $I_{out}$  に応じて可変するように構成しても良い。但し、上記実施例の方が回路構成は簡単になる。

【0018】なお、トランジスタ Q5～Q8, Q10, オペアンプ 20、定電流源 21, 22、ダイオード D1, D2 及び抵抗 R1 が請求項に記載の可変制御回路に対応する。

【0019】

【発明の効果】上述の如く、請求項 1 に記載の発明は、入力電圧の差に応じた出力電流に基づいて、前記出力電流が大なるほど前記抵抗の両端間に発生する電圧を大きくするように可変する可変制御回路を有する。このように、入力電圧の差に応じた出力電流に基づいて、出力電流が大なるほど一対のトランジスタ間を接続する抵抗の両端間に発生する電圧を大きくするように可変するた

め、入力電圧の差に拘わらず抵抗に流れる電流の誤差電流を低減でき、出力電流の電流オフセットを低減できる。

【0020】請求項2に記載の発明では、可変制御回路は、前記入力電圧の差に応じた出力電流に基づいて、前記出力電流が大なるほど前記一対のトランジスタそれぞれの動作電流を大きくするように可変する。このため、出力電流が大なるほど抵抗の両端間に発生する電圧を大きくすることを簡単な構成で実現でき、入力電圧の差に拘わらず抵抗に流れる電流の誤差電流を低減でき、出力電流の電流オフセットを低減できる。

【図面の簡単な説明】

【図1】本発明の電圧・電流変換回路の一実施例の回路

図である。

【図2】本発明の出力電流とトランジスタのコレクタ電流の特性図である。

【図3】従来の電圧・電流変換回路の一例の回路図である。

【符号の説明】

D1, D2 ダイオード

Q1, Q2, Q5, Q10~Q12 npnトランジスタ

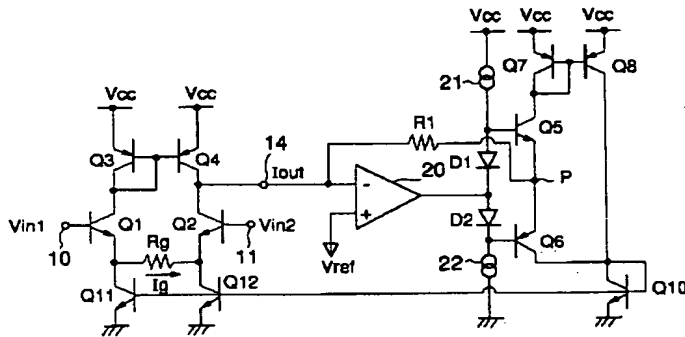
Q3, Q4, Q6~Q8 pnpトランジスタ

Rg, R1 抵抗

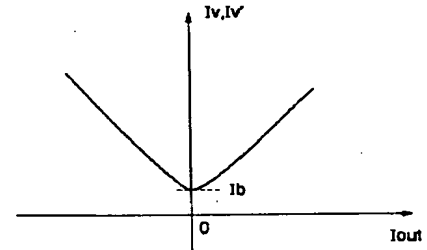
20 演算増幅器(オペアンプ)

21, 22 定電流源

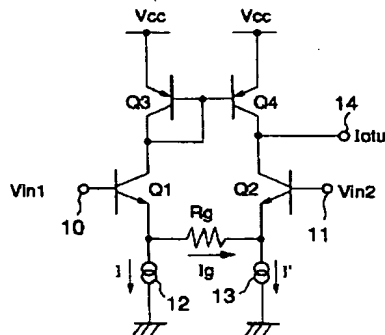
【図1】



【図2】



【図3】



フロントページの続き

Fターム(参考) 5J039 CC02 DA05 DC05 KK16 KK17  
KK18 KK19 MM10  
5J091 AA01 CA13 FA06 HA08 HA19  
HA25 KA01 KA02 KA05 KA09  
MA21 TA02

BEST AVAILABLE COPY